

Бесконтактное внутрисхемное тестирование аналого-цифровых схем

Ами Городецкий
Testability (Израиль)
Тел. +972-544621834
amigo@TestabilityScan.com

Contactless Mixed-Signal In-Circuit Testing Ami Gorodetsky, Testability (Israel)

Аннотация

В работе описан новый метод обеспечения тестопригодности путем бесконтактного зондирования в режиме реального времени аналого-цифровых печатных плат с высокой плотностью монтажа, основанный на стандартах IEEE 1149.1 и 1149.4. Предложено применение этого метода для обеспечения тестопригодности аналого-цифровых микросхем и их функционального ядра при помощи структур граничного сканирования, без контактного зондирования и с минимумом используемых внешних выводов. В статье обсуждается также метод внутрисхемного тестирования пассивных дискретных элементов в произвольных схемных структурах, более простой и дешевый, чем существующие методы аналоговых измерений.

Ключевые слова: тестопригодность, граничное сканирование, стандарты IEEE 1149.1 и 1149.4, внутрисхемное тестирование.

Введение

По мере возрастания сложности современных печатных плат (ПП) резко возрастает плотность монтажа интегральных микросхем и пассивных элементов, а сами микросхемы становятся все более функционально насыщенными. Результатом такой ситуации является постоянное усложнение подходов к быстрой и эффективной диагностике неисправностей и отладке ПП.

Существующая тенденция ко включению в аналого-цифровые интегральные микросхемы (АЦИМ) все более сложных функциональных узлов приводит к понижению эффективности современных методов внутрисхемного тестирования (ICT, flying probe), использующих непосредственный контактный доступ к точкам этих узлов на поверхности ПП. Препятствием к такого рода зондированию является высокая плотность монтажа АЦИМ с обеих сторон современных многослойных ПП. При использовании АЦИМ в корпусах типов BGA, Flip Chip и им подобных контактный доступ к ПП для тестирования дефектов сборки становится все более затруднительным, а введение точек зондирования увеличивает площадь поверхности ПП и создает дополнительные механические проблемы. Тем не менее, для обеспечения доступа к аналоговым контрольным точкам по-прежнему необходимо использовать внешнее контрольно-измерительное оборудование (КИО), зачастую весьма дорогостоящее (тестеры ICT), а также размещать приемлемые контактные точки на поверхности ПП. Зондирование сложных и многослойных аналого-цифровых ПП с высокой плотностью монтажа является, таким образом, весьма проблематичным на этапе их отладки, а также при структурном и функциональном тестировании.

Сходная ситуация имеет место при тестировании сложных АЦИМ или интегральных микросхем (ИМ) типа System-on-Chip (SOC) с ограниченным доступом к контрольным точкам функционального ядра из-за продолжающейся тенденции к повышению плотности упаковки таких микросхем и затруднениями, связанными с ограничением числа наружных выводов корпусов АЦИМ. Общий современный подход к решению указанных проблем связан с комбинированным применением технологии аналогового граничного сканирования и методов измерений, позволяющих компенсировать недостаток доступа к контрольным точкам на поверхности ПП или к ядру АЦИМ [1].

Стандарт IEEE 1149.4, более известный как технология аналогового граничного сканирования, до настоящего времени все еще не воплощен в заметном количестве промышленных АЦИМ, что стимулирует разработку новых альтернативных подходов к обеспечению тестопригодности аналоговых схем и систем [2]. К возможным причинам подобной задержки можно отнести сравнительную сложность инфраструктуры стандарта 1149.4, затрудняющую процесс разработки ИМ. Более чем десятилетний успех технологии цифрового граничного сканирования (стандарт IEEE 1149.1 [3]) ясно указывает на то, что его причина заключается в широкой применимости этого стандарта во множестве смежных областей, таких как тестопригодное проектирование, внутрисхемное программирование элементов флэш-памяти, конфигурирование ПЛИС и многих других [1].

В данной статье описан новый метод обеспечения тестопригодности путем бесконтактного зондирования в режиме реального времени аналого-цифровых ПП с высокой плотностью монтажа и ограниченным доступом для контактного тестирования, основанный на применении обоих упомянутых стандартов – 1149.1 и 1149.4. Описана также модификация данного

метода, предназначенная для тестирования функционального ядра сложных АЦИМ и встроенных структур памяти ИМ посредством инфраструктуры граничного сканирования, вовсе без применения методов и средств контактного зондирования или с минимальным числом точек зондирования.

Прежде чем приступить к описанию данного метода, в статье кратко приведены основы структуры 1149.4. Затем изложено применение нового метода для тестирования ПП и некоторые аспекты тестопригодности аналоговых структур, а также использование этого метода для обеспечения тестопригодности функционального ядра АЦИМ. Вслед за описанием макета схемы на основе ИМ фирмы National Semiconductor, использованного для подтверждения работоспособности нового метода, рассматривается его применение для внутрисхемного тестирования аналоговых пассивных элементов и кластеров и обсуждаются новые возможности, открывающиеся при этом взамен тестирования путем традиционных аналоговых измерений.

2. Инфраструктура технологии аналогового граничного сканирования

Усилия по расширению возможностей технологии цифрового граничного сканирования (ГС), известной также как стандарт IEEE 1149.1 или JTAG [3], на аналоговую и цифро-аналоговую области для обеспечения бесконтактного зондирования сигналов с целью контроля их уровня и формы, а также с целью внутрисхемных аналоговых измерений, привели в 1999 году к принятию нового стандарта IEEE 1149.4 [4]. На рис. 1 приведен общий вид структуры ИМ, разработанной в соответствии с этим стандартом. Основой структуры является сдвиговый регистр (регистр граничного сканирования, РСГ), содержащий одну или несколько ячеек, подключенных к каждому внешнему выводу ИМ. Сдвиг данных ГС внутрь регистра выполняется через внешний вход TDI, а наружу - через внешний выход TDO. Ячейки РСГ могут быть как цифровыми модулями D, связанными с цифровыми выводами входа-выхода (ВВ, V^2), так и аналоговыми модулями АВМ, связанными с аналоговыми выводами V^2 , причем один АВМ связан лишь с одним аналоговым выводом. Блок интерфейса шин тестирования (Test Bus Interface Circuit, TBIC) предназначен для коммутации двух внешних аналоговых тестовых шин AT1 и AT2 на две внутренние аналоговые шины АВ1 и АВ2. Порт тестового доступа (Test Access Port, TAP) представляет собой центральный узел контроля над всеми операциями описываемой структуры.

Стандарт 1149.4 построен в виде расширения хорошо известного стандарта 1149.1, поэтому у обоих стандартов много общего. Одним из исключений является команда PROBE, содержащаяся лишь в стандарте 1149.4. Основной целью этой команды является обеспечение доступа к аналоговым (но не к цифровым) выводам V^2 микросхемы в режиме реального времени для бесконтактного зондирования сигналов на них, не прерывая при этом функционирования

самой ИМ, т.е. при нахождении ИМ в нормальном функциональном режиме. Единственное ограничение, накладываемое стандартом 1149.4, заключается в возможности одновременного зондирования не более двух аналоговых выводов V^2 посредством подключения КИО ко внешним тестовым шинам AT1 и AT2.

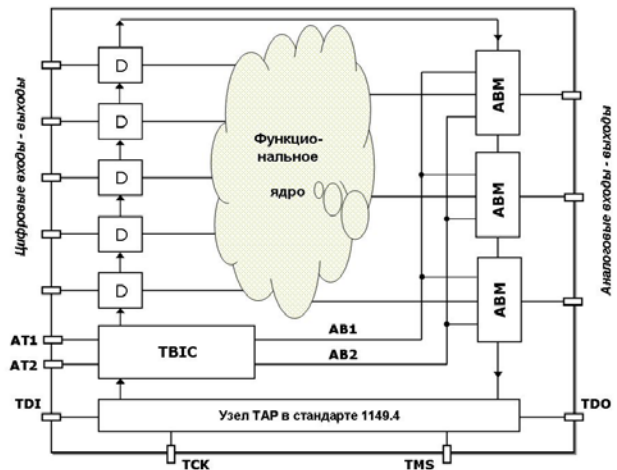


Рис. 1

При выполнении команды PROBE цифровые модули D подключают соответствующие цифровые выходы V^2 к функциональному ядру ИМ. Модули АВМ также подключают соответствующие аналоговые выходы V^2 к функциональному ядру ИМ при выполнении команды PROBE, как и в нормальном режиме работы ИМ. Вместе с тем, внутренние ключи одного или двух модулей АВМ, указание на которые содержится в команде PROBE, коммутируют подключение внешних выводов ко внутренним шинам АВ1 и АВ2, а внутренние ключи блока TBIC коммутируют попарные соединения внутренних и внешних тестовых шин: АВ1 = AT1, АВ2 = AT2, подключая, таким образом, аналоговые выходы V^2 к шинам AT1 и AT2.

На рис. 2 показан пример подключения вывода Pin 1 ко внешней шине AT1 для зондирования сигналов на этом выводе, а также подключения вывода Pin 2 ко внешней шине AT2 для ввода стимулирующих сигналов на этот вывод при выполнении команды PROBE. Регистр управления блоком TBIC обеспечивает соединение шин AT1 и АВ1 посредством ключа S5 и соединение шин AT2 и АВ2 посредством ключа S6. Наряду с этим, ключ SB1 модуля АВМ1 подключает шину АВ1 ко внешнему выводу Pin 1, а ключ SB2 модуля АВМ2 подключает шину АВ2 ко внешнему выводу Pin 2. Это обеспечивает возможность тестирования в режиме реального времени уровней и формы сигналов во внутрисхемном узле Pin 1 со стороны внешней шины AT1 при подключении к ней соответствующего КИО. Аналогичным образом, внешние стимулирующие или тестовые воздействия от оборудования, подключаемого ко внешней шине AT2, могут подаваться в режиме реального времени непосредственно во внутрисхемный узел Pin 2 в виде сигнала опреде-

ленного уровня и формы. Следует подчеркнуть, что данная ИМ продолжает при этом функционировать в своем нормальном режиме работы.

Технология аналогового граничного сканирования в стандарте 1149.4 весьма подробно описана в литературе [5,6]. Использование ее преимуществ в значительной степени зависит от количества ИМ на ПП, разработанных в соответствии с этой технологией. Отмечено, однако, что новые АЦИМ, поддерживающие 1149.4, могут иметь рыночный успех только в случае, если они окажутся дешевле их существующих прототипов, не совместимых с 1149.4, как в производстве, так и в тестировании, а сама инфраструктура 1149.4 будет применяться не только для аналогового тестирования, но также и в других аспектах тестирования [7].

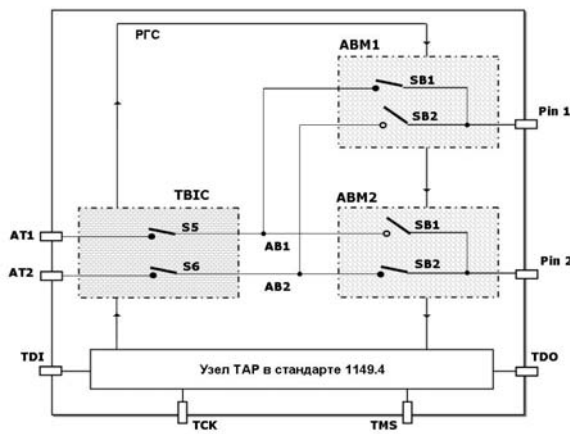


Рис. 2

3. Метод обеспечения внутрисхемной тестопригодности аналого-цифровых ПП

Целью нового метода обеспечения тестопригодности является бесконтактное («виртуальное») зондирование аналого-цифровых ПП с высокой плотностью монтажа в режиме реального времени. Метод реализован в виде специализированной ИМ (СИМ), схема которой приведена на рис. 3.

Предлагаемая СИМ содержит два последовательно соединенных порта тестового доступа: 1149.4-совместимый TAP-1 (зонд) и 1149.4- или 1149.1-совместимый TAP-2 (шифратор адреса). Регистр граничного сканирования РГС-1 (зонд) не содержит цифровых модулей D, а состоит из блока ТВИС и двух аналоговых модулей АВМ1 и АВМ2, соответственно подключенных к выходам аналоговых мультиплексов Mux1 и Mux2. В свою очередь, РГС-2 (шифратор адреса) содержит цифровые модули D или 1149.1-ячейки, подключенные к адресным входам мультиплексов Mux1/2. СИМ не содержит никакого функционального ядра в дополнение к указанным двум РГС. Из этого следует, в частности, что никакого функционального применения СИМ не предусмот-

рено вовсе, т.к. микросхема предназначена исключительно для обеспечения тестопригодности содержащей ее схемы ПП. Внешние выводы В² микросхемы (A₁, A₂, ...) подключаются при этом ко внутренним узлам ПП, имеющим ограниченный доступ для контактного зондирования, как к аналоговым, так и к цифровым.

Аналоговые мультиплексы Mux1/2 предназначены для селективного подключения к одному или обоим аналоговым модулям АВМ1 и АВМ2 одного или двух внутренних узлов ПП, выбор которых определяется кодом адреса, загружаемого в РГС-2 шифратора адреса в протоколе ГС, совместимом с 1149.1 или 1149.4. Те или иные выводы СИМ, подключенные ко внутренним узлам ПП, подключаются к аналоговым модулям АВМ1/2 посредством мультиплексов Mux1/2 в зависимости от загруженного кода адреса. Таким образом, 1149.4-совместимая команда PROBE, загружаемая в РГС-1 зонда, обеспечивает подключение выбранного вывода СИМ (узла ПП) к одной или обоим внешним тестовым шинам AT1/2.

Если ПП находится в нормальном режиме работы, а СИМ - в т.н. «теновом» или пассивном режиме, порт TAP-1 зонда находится в режиме сброса (Test-Logic-Reset), так что ключи SB1 и SB2 модулей АВМ1/2 размыкают связь между мультиплексами и внутренними тестовыми шинами АВ1/2, а ключи S5 и S6 блока ТВИС размыкают связь между внутренними и внешними тестовыми шинами АВ1/2 и AT1/2 соответственно (рис. 2). Вдобавок к этому, порт TAP-2 шифратора адреса также находится в режиме сброса, поэтому ячейки РГС-2, подключенные к адресным входам мультиплексов, находятся в состоянии с высоким импедансом, так что внешние выводы В² микросхемы СИМ (A₁, A₂, ...), отключены от выходов мультиплексов. Никакого влияния на работу ПП со стороны СИМ оказано при этом не будет.

Если ПП находится в нормальном или тестовом режиме, а СИМ – в «рабочем» режиме, через внешний вход TDI вводится стандартная, 1149.4- или 1149.1-совместимая последовательность ГС, содержащая ввод в регистр команд (РК) порта TAP-2 кода команды PRELOAD наряду с кодом адреса аналоговых мультиплексов. Адресный код загружается в РГС-2 и фиксируется в ячейках этого регистра в результате ввода в РК порта TAP-2 кода команды CLAMP в том же протоколе ГС. Попадая на адресные входы мультиплексов, адресный код определяет внешние выводы В² микросхемы СИМ (A₁, A₂, ...), которые будут мультиплексированы на один или оба аналоговых модуля АВМ1/2. Как известно, ввод последовательности кодов команд PRELOAD – CLAMP не нарушает нормального режима любой ИМ, находящейся в одной с СИМ цепочке ГС и, таким образом, не нарушает нормального режима работы ПП в целом. Если же ПП находится в тестовом режиме, то вместо команды CLAMP с той же целью может быть

использована стандартная команда EXTEST.

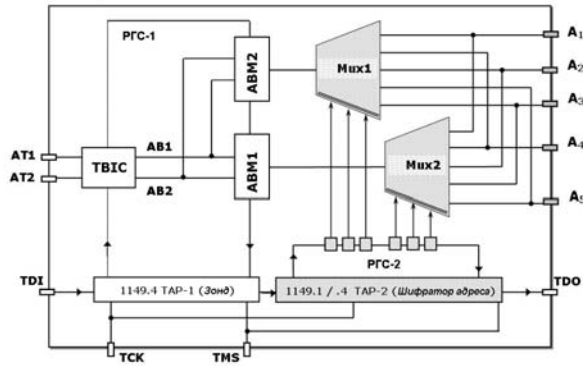


Рис. 3 Структура СИМ

Затем в РК порта TAP-1 зонда посредством той же цепочки граничного сканирования, содержащей два последовательных порта, вводится код команды PROBE. В результате выполнения этой команды ключи S5 и S6 блока ТВИС, а также один или оба ключа SB1 и SB2 аналоговых модулей АВМ1/2 замыкаются (рис. 2), определяя следующие пути транспортировки сигналов тестирования (в соответствии с загруженным кодом адреса мультиплексоров):

AT1 <-> AB1 <-> АВМ1 <-> Mux1 <-> внешний вывод B^2 (A_1, A_2, \dots)
 AT2 <-> AB2 <-> АВМ2 <-> Mux2 <-> внешний вывод B^2 (A_1, A_2, \dots)

В результате выполнения команды PROBE один или два внешних вывода входа-выхода, аналоговых или цифровых, окажутся подключенными соответственно к одной или обоим внешним тестовым шинам AT1 и AT2, что в режиме реального времени обеспечит возможность бесконтактного тестирования уровней и формы сигналов во внутрисхемных узлах, подачу внешних стимулирующих или тестовых воздействий непосредственно во внутрисхемный узел виде сигнала определенного уровня и формы, а также использование этих соединений для выполнения внутрисхемных бесконтактных аналоговых измерений (см. раздел 6).

4. Метод обеспечения тестопригодности аналого-цифровых ИМ

Аналогичный принцип положен в основу нового метода обеспечения структурной тестопригодности АЦИМ, схема которой показана на рис. 4. Функциональное ядро произвольной АЦИМ окружается тестовой оболочкой в виде 1149.4-совместимого РГС-1 (TAP-1 зонда), последовательно соединенного в ГС-цепочку с еще одним 1149.1- или 1149.4-совместимым РГС-2 (TAP-2 шифратора адреса). Таким образом, внутренняя цепочка граничного сканирования АЦИМ с произвольным функциональным ядром содержит два последовательных порта TAP.

Регистр граничного сканирования РГС-1 зонда в дополнение к блоку ТВИС содержит следующие типы ячеек (модулей):

- 1149.1- или 1149.4-совместимые цифровые ячейки (модули D_A , подключаемые к обычным (полностью 1149.1- или 1149.4-совместимым) цифровым входам-выходам (выводы *шина А*) функциональной АЦИМ;
- 1149.4-совместимые цифровые модули граничного сканирования D_B , подключаемые к «1149.4-зондируемым» цифровым входам-выходам АЦИМ;
- аналоговые модули граничного сканирования АВМ1 и АВМ2, подключаемые соответственно к аналоговым мультиплексорам Mux1/2, число которых равно числу модулей АВМ в РГС-1.

Ниже рассмотрены типы выводов B^2 , которые может содержать произвольная АЦИМ в дополнение к обычным выводам типа **A** (рис. 4).

Цифровые функциональные выводы *шина В*, подключаемые к аналоговым мультиплексорам Mux1/2 и к соответствующим цифровым модулям D_B . При нахождении АЦИМ в функциональном режиме, выводы **B** подключены к ее ядру посредством модулей D_B и отключены от АВМ1/2 в соответствии с нейтральным адресным кодом на входах Mux1/2. Для внутрисхемного тестирования ПП в узлах, к которым подсоединены выводы **B**, эти выводы изолируются от ядра АЦИМ посредством модулей D_B , оставаясь при этом подключенными к мультиплексорам. Таким образом, выводы **B** становятся «1149.4-зондируемыми» и могут быть использованы для тестирования узлов ПП в соответствии с протоколом 1149.4, подключаясь к АВМ1/2 через Mux1/2 с адресным кодом выводов **B** на их входах.

Аналоговые функциональные выводы *шина С* являются полностью 1149.4-совместимыми посредством одного или обоих модулей АВМ1/2. Таким образом, выводы этого типа применимы для зондирования узлов ПП при загрузке команды PROBE в протоколе 1149.4 и с адресным кодом выводов **C** на входах мультиплексоров. Выводы этого типа могут подключаться к ядру АЦИМ через модули АВМ1/2 при нахождении АЦИМ в нормальном функциональном режиме.

Цифро-аналоговые функциональные выводы *шина D*, не совместимые со стандартом 1149.4, подключены к мультиплексорам Mux1/2 и к соответствующим аналоговым ключам. При нахождении АЦИМ в функциональном режиме каждый такой вывод подключается к ее ядру через замкнутый ключ и отсоединяется от АВМ1/2 в соответствии с нейтральным адресным кодом на входах мультиплексоров. Для внутрисхемного тестирования ПП в узлах, к которым подсоединены выводы **D**, эти выводы изолируются от ядра посредством размыкания ключей, и, таким образом, становятся «1149.4-зондируемыми» и могут быть использованы для тестирования узлов ПП в соответствии с протоколом 1149.4, подключаясь к АВМ1/2

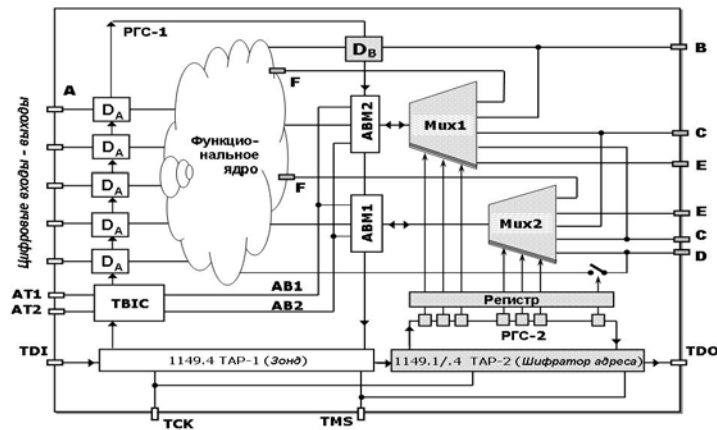


Рис. 4 Структура тестовой оболочки АЦИМ

через Мух1/2 с адресным кодом выводов **D** на на входах мультиплексоров.

Цифро-аналоговые выходы *типа E* не совместимы со стандартом 1149.4 и не являются функциональными внешними выводами АЦИМ, т.е. никак не используются в ее нормальном рабочем режиме. Эти выходы подключены к мультиплексорам Мух1/2, поэтому становятся «1149.4-зондируемыми» и могут быть использованы для тестирования узлов ПП в соответствии с протоколом 1149.4, подключаясь к АВМ1/2 через Мух1/2 с адресным кодом выводов **E** на на входах мультиплексоров.

Внутренние цифро-аналоговые выходы *типа F* не совместимы со стандартом 1149.4 и никак не используются в функциональном режиме АЦИМ, т.к. предназначены исключительно для обеспечения тестопригодности ядра АЦИМ. Эти выходы подключены к мультиплексорам Мух1/2, также являются «1149.4-зондируемыми» могут быть использованы для тестирования функционального ядра АЦИМ, будучи подключенными к АВМ1/2 через Мух1/2 с адресным кодом выводов **F** на на входах мультиплексоров.

Следует подчеркнуть, что во всех описанных случаях применения выводов типов **B ... F** нормальный функциональный режим работы АЦИМ (или ПП с данной АЦИМ) не нарушается.

Регистр граничного сканирования РГС-2 шифратора адреса содержит 1149.1- или 1149.4-совместимые цифровые ячейки (модули) **DA**, подключенные через обычный буферный регистр к адресным входам аналоговых мультиплексоров Мух1/2 и управляющим выводам аналоговых ключей выводов **D**.

Все выходы B^2 типов **B ... F** подключены ко входам мультиплексоров, к любому по отдельности или параллельно к обоим. Можно выделить пять способов применения этих выводов:

1. Обычное функциональное применение выводов **B, C, D** при нахождении АЦИМ в функциональном режиме работы.
2. Применение выводов **C, D, E** для зондирования аналоговых узлов ПП, а выводов **B, D, E** - для зондирования цифровых узлов ПП в режиме реального времени, т.е. для бесконтактного тестирования уровней и формы сигналов во внутрисхемных узлах и подачи внешних стимулирующих или тестовых воздействий непосредственно в такие узлы в виде сигналов произвольного уровня и формы.
3. Применение выводов **B, C, D, E** для бесконтактных аналоговых измерений во внутрисхемных узлах ПП.
4. Применение выводов **F** для зондирования цифро-аналогового ядра АЦИМ в режиме реального времени, т.е. бесконтактного тестирования уровней и формы сигналов во внутренних точках ядра и подачи внешних стимулирующих или тестовых воздействий непосредственно в такие точки в виде сигналов произвольного уровня и формы.
5. Применение выводов **F** для бесконтактных аналоговых измерений во внутренних точках ядра АЦИМ.

При включении питания АЦИМ, содержащей описанную тестовую оболочку, в буферный регистр, подключенный к РГС-2, с исходной резисторной конфигурации загружаются коды адресов выводов типа **C**, которые поступают на адресные входы мультиплексоров Мух1/2, а также коды замкнутых аналоговых ключей выводов типа **D**, поступающие на управляющие входы этих ключей. Оба порта (TAP-1 и TAP-2) находятся при этом в состоянии сброса, как это определено в стандартах 1149.1 и 1149.4, так что АЦИМ готова к началу функционального режима работы.

На первом шаге применения АЦИМ с описанной тестовой оболочкой для целей внутрисхемного тестирования ПП, в РК порта TAP-2 шифратора адреса загружается код команды PRELOAD в протоколе 1149.1 или 1149.4 наряду с кодом адреса аналоговых мультиплексоров и кодом сигнала размыкания соответствующих аналоговых ключей, что определяет выбор выводов типов **B ... F**, которые станут «1149.4-

зондируемыми». Будучи загруженными в РГС-2, эти коды фиксируются в ячейках этого регистра в результате ввода в ПК порта TAP-2 кода команды CLAMP в том же протоколе ГС, и подаются через буферный регистр на адресные входы мультиплексов и входы управления ключей.

На следующем шаге код команды PROBE загружается в ПК порта TAP-1 зонда, коммутируя ключи блока ТВІС и модулей АВМ1/2 в соответствии с протоколом 1149.4 (рис. 2) и определяя следующие пути сигналов тестирования (в соответствии с загруженным кодом адреса мультиплексов):

AT1 <-> AB1 <-> АВМ1 <-> Mux1 <-> один из выводов входа-выхода В ... F
AT2 <-> AB2 <-> АВМ2 <-> Mux2 <-> один из выводов входа-выхода В ... F

Каждый такой путь предназначен для бесконтактного зондирования в режиме реального времени уровней и форм сигналов во внутрисхемных узлах ПП или ИМ, подачи внешних стимулирующих или тестовых воздействий непосредственно в такие узлы в виде сигналов произвольного уровня и формы, а также для аналоговых измерений (см. раздел 6). В любом подобном случае тестирования нормальный функциональный режим работы АЦИМ (или ПП с данной АЦИМ) не нарушается.

Предложенная структура обеспечения тестопригодности может быть полезна при мониторинге напряжений внутри ядра АЦИМ, к примеру, опорных напряжений, в низкочастотных преобразователях напряжения (ЦАП, АЦП), генераторах обратного смещения, а также при выполнении низкочастотных параметрических тестов, проверке целостности транзисторов, измерении токов утечки входов или выходов с высоким импедансом, и т.д. [7].

Существенной особенностью предложенной структуры является возможность ее повторного использования в качестве дискретного структурного блока при проектировании произвольных схем тестопригодности АЦИМ.

Аппарат граничного сканирования обсуждаемой структуры может быть описан в виде последовательного соединения двух отдельных блоков с портами TAP-1 и TAP-2, каждый из которых описывается своим файлом BSDL.

5. Верификация

Для аппаратной верификации предложенной структуры был собран макет на основе двух 1149.4-совместимых микросхем SCANSTA400 [8] фирмы National Semiconductor (рис. 5). Управление мультиплексами Mux1/2, переключающими две внешние аналоговые шины AT1/2 на каждую из восьми внешних контрольных точек TP0 ... TP7, подключенных к внутрисхемным узлам тестируемой ПП, осуществлялась в макете

специальной последовательностью ГС. Коммутация ключей АВМ-ТВІС микросхемы SCANSTA400 в протоколе 1149.4 выполнялась для двух произвольно выбранных выводов этой микросхемы: вывод A0 использовался для переключения шины AT1 на все контрольные точки TP через мультиплексор Mux1, а вывод A1 - для переключения шины AT2 на все контрольные точки TP через мультиплексор Mux2.

Приведенные ниже коды РГС микросхемы зонда использовались для коммутации ключей АВМ-ТВІС (младший разряд – рядом с выходом TDO):

100000400000h - для пути
AT1 <-> AB1 <-> A0 <-> Mux1
(ключ SB1 АВМ1 замкнут)
000200800000h - для пути
AT2 <-> AB2 <-> A2 <-> Mux2
(ключ SB2 АВМ2 замкнут)
100200C00000h - для путей
AT1 <-> AB1 <-> A0 <-> Mux1 и
AT2 <-> AB2 <-> A2 <-> Mux2
(оба ключа SB1 АВМ1 и SB2 АВМ2 замкнуты)

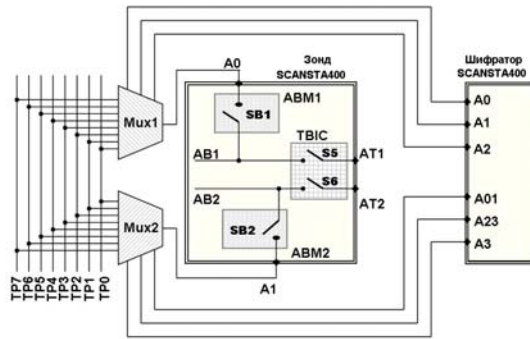


Рис. 5

Управление адресными входами обоих мультиплексов осуществлялось сдвигом (в протоколе 1149.1 или 1149.4) в РГС микросхемы шифратора и фиксации в его ячейках одного из приведенных ниже кодов (младший разряд – рядом с выходом TDO):

Выводы шифратора

AA	AA	A	A	Адрес	Контрольная
02	13	2	0	MUX	точка
		3	1		
440440000404h		000			TP0
C404C0000404h		001			TP1
440C40000C04h		010			TP2
C40CC0000C04h		011			TP3
4C044000040Ch		100			TP4
CC04C000040Ch		101			TP5
4C0C40000C0Ch		110			TP6
CC0CC0000C0Ch		111			TP7

6. Внутрисхемное тестирование вместо аналоговых измерений

В литературе описаны методы вычисления номинальных значений дискретных элементов (резисторов, конденсаторов и т.п.) по результатам измерений, выполняемых для различных типов внутрисхемных соединений, например в случае подключения пассивных элементов или параллельных RC-цепочек между двумя выводами 1149.4-совместимой микросхемы [9].

Рассмотрим применение описанного выше метода обеспечения тестопригодности как основы для простого и недорогого подхода к внутрисхемному тестированию пассивных дискретных элементов в произвольных схемных структурах. Предположим, узлы V1 и V2 схемного фрагмента Z (это может быть отдельный дискретный элемент или любая их совокупность) некоторой ПП подключены ко внешним тестовым шинам АТ1/2 посредством описанной выше СИМ, а ПП находится в рабочем режиме, т.е. через узлы V1 и V2 текут действительные токи, обозначенные стрелками на рис. 6. При подключении к шинам АТ1/2 внешнего КИО внутрисхемные напряжения $V_{1\text{изм}}$ и $V_{2\text{изм}}$ могут быть измерены в реальном времени и в явной форме, или же могут быть автоматически зафиксированы отклонения их величин от ожидаемых, заранее известных значений. Результаты такого сравнения в цифровой форме могут быть получены любой программой, поддерживающей протокол стандартов ГС 1149.1 или 1149.4.

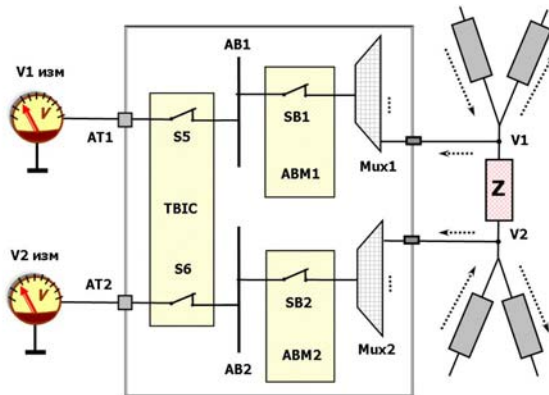


Рис. 6

Если внешние выводы рассмотренной СИМ (входы мультиплексоров Mux1/2) подключены к предназначенным для тестирования внутрисхемным узлам ПП, цифровые сигнатуры ожидаемых аналоговых напряжений известны и хранятся в некоторой базе данных, а ко внешним шинам АТ1/2 подключен блок АЦП, то сравнение данных на выходе этого блока с содержанием базы данных делает процесс внутрисхемного тестирования пассивных элементов полностью автоматизированным.

Следует отметить, что данный подход не предполагает подачи известного тока на шину АТ1 и измерения напряжения на шине АТ2, как это описано в [9]. Кроме того, не требуется предварительной оценки диапазона номиналов тестируемых элементов, нет нужды в применении точного и дорогостоящего измерительного оборудования и можно обойтись без средств автоматической генерации тестов для реализации аналоговых измерений. Данный подход также не предполагает защитной расстановки щупов, как в случае традиционного внутрисхемного тестирования (ICT), а тестируемая ПП может находиться в рабочем функциональном режиме.

7. Заключение

Применение инфраструктуры ГС для мониторинга аналоговых сигналов, внутрисхемных измерений и тестирования пассивных элементов является весьма эффективным инструментом тестирования на всех этапах жизни ПП. Как ни странно, но именно широкая популярность традиционного стандарта ГС 1149.1, а также то, что его применение полностью компьютеризовано и не требует (или почти не требует) применения дополнительных аппаратных средств, является причиной, сдерживающей быстрое вхождение 1149.4 в арсенал схемотехников. Описанный в статье метод обеспечения внутрисхемной тестопригодности призван стимулировать широкое использование 1149.4, поскольку он предполагает применение недорогого внешнего КИО или же позволяет полностью обойтись без него, компьютеризован на основе существующих программных средств, поддерживающих 1149.1, а интеграция обсуждаемого метода в традиционные программно-аппаратные средства 1149.1 представляется очень простой.

Будучи реализованным в виде специализированной ИМ, предложенный метод позволяет применить в тестируемой ПП все особенности стандарта 1149.4 в реальном времени, с расширением возможностей зондирования на цифровые сигналы, а также выполнять внутрисхемное тестирование пассивных элементов, используя лишь два АВМ и два аналоговых мультиплексора вместо отдельного АВМ для каждого аналогового выхода и не прерывая нормального функционального режима работы ПП. Физическое моделирование цифровых и аналоговых дефектов путем введения внутрь схемы соответствующих сигналов легко реализуется в данном методе для большого числа внутрисхемных узлов, что может явиться решением проблем неадекватности при отладке разнообразных аппаратных и программных средств.

Одной из причин весьма постепенного признания стандарта 1149.4 является то, что большинство современных АЦИМ выпускаются в корпусах с небольшим числом выводов, так что добавка семи дополнительных выводов, требуемых 1149.4 – это

слишком много в процентном отношении [2]. Это препятствие может быть устранено бесконтактным внешним тестированием выводов АЦИМ и связанных с ними узлов ПП в результате применения описанной в данной работе специализированной ИМ. Эта микросхема, не являясь полностью 1149.4-совместимой, может способствовать устранению ряда трудностей, обуславливаемых самим стандартом.

Тестирование аналоговых напряжений во множестве внутрисхемных узлов питания ПП является, как известно, весьма сложным для диагностирования [7]. Предложенный метод и СИМ на его основе обеспечивают бесконтактное зондирование физически труднодоступных или вовсе недоступных аналоговых и цифровых узлов ПП. Дальнейшая разработка данного метода позволит сформулировать гибкие правила тестипригодного проектирования ПП для подбора внутрисхемных узлов зондирования с целью оптимизации покрытия дефектов при тестировании.

Стандарт 1149.4 обуславливает частотный диапазон около 100 кГц, что может, однако, оказаться недостаточным для тестирования многих аналоговых и цифровых сигналов. Тем не менее, измерения параметров пассивных элементов обычно осуществляются на частотах ниже 10 кГц для минимизации влияния помех, и рассматриваемый метод также предполагается использовать в подобном частотном диапазоне. При зондировании сигналов в реальном времени через аналоговые мультиплексоры ширина частотного диапазона ограничивается паразитными емкостями путей зондирования. Такой буфер аналоговых сигналов физически находится существенно ближе к зондируемому узлам ПП, чем любой буфер внешнего тестера, уменьшая, таким образом, паразитные емкости до менее чем 15 пФ, что существенно ниже типовых значений 50-100 пФ для тестеров.

Не слишком широкое применение стандарта 1149.4 при тестировании АЦИМ в процессе их производства объясняется рядом причин, одной из которых является значительная стоимость площади кремниевых пластин, необходимой для реализации большого количества модулей АВМ. Кроме того, в последнее время весьма популярен подход к тестированию кремниевых пластин с пониженным числом точек доступа как средство снижения стоимости теста микросхем, содержащих структуры внутреннего или граничного сканирования, встроенные средства само-тестирования и т.п. Предлагаемый в данной работе метод обеспечения структурной тестопригодности АЦИМ с резко сокращенным набором модулей АВМ может быть очень удобен для быстрой генерации тестов аналоговых кластеров внутри самого функционального ядра, для тестирования низкочастотных внутренних выводов ядра АЦИМ с пониженным числом точек доступа [10], а также для параметрического тестирования внешних выводов АЦИМ. Такой подход может оказаться приемлем в процессе разработки микросхем и на ранних стадиях отладочного тестирования внутренней логики и встроенных

модулей памяти, когда еще можно учесть и принять любые изменения их структуры. Количество внутренних выводов ядра АЦИМ, подключенных к мультиплексорам на ранних стадиях тестирования, затем может быть существенно уменьшено в финальной версии структуры АЦИМ.

Стоимость современных АЦИМ возрастает экспоненциально, поэтому жизненно важным экономическим требованием является подход к их разработке с применением повторно используемых структурных блоков, заранее снабженных средствами тестирования этих блоков. Описанная в данной работе тестовая структура применима также при проектировании систем на кристалле SOC [11], совместимых со стандартом IEEE 1500, как составная часть повторно используемой иерархической тестовой структуры граничного сканирования.

Литература

- [1] A.Gorodetsky, "Strategy of Boundary-Scan On-Board Activity", Technologies – Israel' Magazine of High Technology, vol. 223, August 2001, pp. 154 – 158 (Hebrew)
- [2] K.Filliter, "Virtual Analog Probes Using IEEE 1149.1 (A Concept IC)", 3rd IEEE International Board Test Workshop, 2004
- [3] А.Городецкий, В.Пустинов «Разделяй и властвуй – принцип граничного сканирования», ChipNews, Москва, 2001, #6, стр. 14-19
- [4] "IEEE Standard for a Mixed-Signal Test Bus", IEEE Std 1149.4-1999
- [5] "The Boundary-Scan Handbook" 3rd Edition, by K.P.Parker, Kluwer Academic Pub, 2003
- [6] "Analog and Mixed-Signal Boundary-Scan", ed. by A.Osseiran, Kluwer Academic Pub., 1999
- [7] S.K.Sunter and B.Nadeau-Dostie, "Complete, Contactless I/O Testing – Reaching the Boundary in Minimizing Digital IC Testing Cost", Proc. of ITC, pp.446-455, 2002
- [8] "SCANSTA400 IEEE 1149.4 Analog Test Access Device", National Semiconductor Advanced Information, August 2000
- [9] I.Duzevik, "Preliminary Results of Passive Component Measurement Methods Using an IEEE 1149.4 Compliant Device", 1st IEEE International Board Test Workshop, 2002
- [10] Ben Bennetts, "Guidelines for Chip Design For Test Based on Boundary-Scan", Asset InterTech Inc. web site, 2003
- [11] A.Sehgal *et al*, "IEEE P1500-Compliant Test Wrapper Design for Hierarchical Cores", Proc. of ITC, pp.1203-1212, 2004